# 대 한 민 국 특 허 청
# KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 10-2002-0059837
Application Number

출 원 년 월 일 : 2002년 10월 01일
Date of Application OCT 01, 2002

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 02 월 27 일

특 허 청 장
COMMISSIONER

【서지사항】

| | |
|---|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0003 |
| 【제출일자】 | 2002.10.01 |
| 【발명의 명칭】 | 멀티칩패키지의 테스트 장치 및 방법 |
| 【발명의 영문명칭】 | MULTI-CHIP PACKAGE TEST |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 임창현 |
| 【대리인코드】 | 9-1998-000386-5 |
| 【포괄위임등록번호】 | 1999-007368-2 |
| 【대리인】 | |
| 【성명】 | 권혁수 |
| 【대리인코드】 | 9-1999-000370-4 |
| 【포괄위임등록번호】 | 1999-056971-6 |
| 【발명자】 | |
| 【성명의 국문표기】 | 신영구 |
| 【성명의 영문표기】 | SHIN,YOUNG GU |
| 【주민등록번호】 | 690625-1914321 |
| 【우편번호】 | 330-260 |
| 【주소】 | 충청남도 천안시 신방동 895번지 현대아파트 101동 2203호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 방정호 |
| 【성명의 영문표기】 | BANG,JEONG HO |
| 【주민등록번호】 | 550124-1148824 |
| 【우편번호】 | 449-846 |
| 【주소】 | 경기도 용인시 수지읍 풍덕천리 1168 진산마을 삼성5차아파트 513동4 01호 |
| 【국적】 | KR |

【발명자】
【성명의 국문표기】 심현섭
【성명의 영문표기】 SHIM,HYUN SEOP
【주민등록번호】 581026-1143417
【우편번호】 336-850
【주소】 충청남도 아산시 배방면 모산 한도아파트 107동 404호
【국적】 KR
【발명자】
【성명의 국문표기】 허경일
【성명의 영문표기】 HEO,KYOUNG IL
【주민등록번호】 590825-1235011
【우편번호】 330-090
【주소】 충청남도 천안시 쌍용동 일성아파트 308동 202호
【국적】 KR
【발명자】
【성명의 국문표기】 이형영
【성명의 영문표기】 LEE,HYOUNG YOUNG
【주민등록번호】 630704-1581410
【우편번호】 449-900
【주소】 경기도 용인시 기흥읍 신갈리 165번지 도현마을 현대아파트 203동 14 02호
【국적】 KR
【발명자】
【성명의 국문표기】 권혁
【성명의 영문표기】 KWON,HYUK
【주민등록번호】 680922-1017811
【우편번호】 330-090
【주소】 충청남도 천안시 쌍용동 월봉 일성아파트 504동 1502호
【국적】 KR
【발명자】
【성명의 국문표기】 주기봉
【성명의 영문표기】 JU,KI BONG
【주민등록번호】 681126-1520313

| | |
|---|---|
| 【우편번호】 | 330-090 |
| 【주소】 | 충청남도 천안시 쌍용동 시영2차 아파트 201동 504호 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인<br>임창현 (인) 대리인<br>권혁수 (인) |
| 【수수료】 | |
| 【기본출원료】 | 10 면 29,000 원 |
| 【가산출원료】 | 0 면 0 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 6 항 301,000 원 |
| 【합계】 | 330,000 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |

# 【요약서】

【요약】

본 발명은 다수개의 반도체칩들이 실장된 패키지를 효율적으로 테스트하는 장치를 제공한다. 본 발명에 따른 장치는 적어도 하나의 구동채널과 적어도 하나의 입출력채널을 가진 테스트 드라이버와, 상기 패키지를 탑재하는 테스트보드를 구비하며, 상기 반도체칩들의 구동핀들은 상기 구동채널에 병렬로 연결되고 상기 반도체칩들의 입출력핀들은 상기 입출력채널에 병렬로 연결된다.

【대표도】

도 3

【색인어】

멀티칩패키지, 테스트

【명세서】

【발명의 명칭】

멀티칩패키지의 테스트 장치 및 방법{MULTI-CHIP PACKAGE TEST}

【도면의 간단한 설명】

도 1 및 2는 종래의 테스트방법을 보여 주는 도면.

도 3 및 4는 본 발명에 따른 테스트방법을 보여 주는 도면.

본 발명에 따른 도면들에서 실질적으로 동일한 구성과 기능을 가진 구성요소들에 대하여는 동일한 참조부호를 사용한다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<4> 본 발명은 반도체장치의 테스트에 관한 것으로서, 특히 다수의 반도체칩들이 실장된 멀티칩패키지를 테스트하는 방법에 관한 것이다.

<5> 대부분의 반도체 제품들에 대한 테스트 방식에 있어서는, 도 1 또는 도 2에 보인 바와 같이, 테스트 드라이버의 구동채널(2)을 한 채널당 테스트 대상이 되는 반도체칩(IC1, IC2, IC3 또는 IC4)의 하나의 구동핀(UB)을 연결하고, 테스트트라이버의 하나의 입출력채널(3)에 대해서도 반도체칩의 입출력핀(DQ0)을 하나씩 연결하여 테스트보드를 구성한다. 즉, 테스트 드라이버의 한 채널당 테스트대상 반도체칩의 핀 하나씩 연결하는 1:1 방식을 사용한다.

<6> 그러나, 이와같은 1:1방식의 배치는, 도 1 또는 도 2와 같이 각각 다른 역할 및 기능을 가진 다수개의 반도체칩이 하나의 패키지상태로 조립된 멀티칩패키지(MCP)형의 반도체제품(1 또는 4)을 테스트하는 경우에, 반도체칩들의 구동핀들에 상당하는 다수의 구동핀들과 반도체칩들의 입출력핀들에 상당하는 입출력채널들이 테스트 드라이버에 구비되어야 한다. 또한, 하나의 멀티칩패키지에 실장되는 반도체칩들의 수에 따른 별도의 테스트공정을 진행하여야 함은 물론, 추가의 테스트보드도 필요하다. 그 결과, 동시에 테스트가능한 반도체칩의 수량에도 한계가 있으며 공정의 복잡화 및 물류비용의 증가 등 테스트 생산성이 저하된다.

【발명이 이루고자 하는 기술적 과제】

<7> 따라서, 본 발명은 전술한 단점들을 극복하기 위하여 제안된 것으로서, 멀티칩패키지에 대한 테스트 생산성을 향상시키는 장치와 방법을 제공함에 있다.

【발명의 구성 및 작용】

<8> 전술한 본 발명의 목적을 달성하기 위하여, 다수개의 반도체칩들이 실장된 패키지를 효율적으로 테스트하는 장치를 제공한다. 본 발명에 따른 장치는 적어도 하나의 구동채널과 적어도 하나의 입출력채널을 가진 테스트 드라이버와, 상기 패키지를 탑재하는 테스트보드를 구비하며, 상기 반도체칩들의 구동핀들은 상기 구동채널에 병렬로 연결되고 상기 반도체칩들의 입출력핀들은 상기 입출력채널에 병렬로 연결된다.

<9> 테스트중에 반도체칩들간의 상호간섭을 피하기 위하여, 상기 반도체칩들 중 하나가 테스트되는 동안에는 다른 반도체칩들의 구동핀들 및 입출력핀들은 고임피이던스상태를 유지하며, 상기 반도체칩들은 순차적으로 테스트된다.

<10> 다수개의 반도체칩들이 실장된 패키지를 테스트하기 위한 방법에 있어서는, 테스트드라이버의 구동채널에 상기 반도체칩들에 속하는 다수개의 구동핀들을 병렬로 연결하고, 상기 테스트드라이버의 입출력채널에 상기 반도체칩들에 속하는 다수개의 입출력핀들을 병렬로 연결한 상태에서, 상기 반도체칩들 중 하나가 테스트되는 동안에 다른 반도체칩들의 구동핀들 및 입출력핀들을 고임피이던스상태로 유지한다.

<11> 도 3 및 도 4는 본 발명에 따른 테스트를 수행하기 위하여 멀티칩패키지에 테스트드라이버의 구동채널 및 입출력채널을 연결하는 배치상태를 보여 준다. 도 3 및 도 4에 보인 멀티칩패키지(1 또는 4)에는 반도체칩들로서 디램(DRAM) 칩들이 실장되어 있다.

<12> 먼저, 도 3을 참조하면, 테스트 드라이버의 구동채널(2)은 멀티칩패키지(1)에 실장된 반도체칩들(IC1~IC3) 중에서 두개의 반도체칩들에 속하는 구동핀들, 예컨대 IC1의 RAS핀(로우어드레스스트로브 핀)과 IC2의 UB핀에 공통으로 연결된다. 한편, 테스트트라이버의 입출력채널(3)은 두개의 반도체칩들에 속하는 입출력핀들, 예컨대 IC1의 DQ0와 IC2의 DQ0에 공통으로 연결되어, 해당하는 반도체칩들(IC1,IC2)이 입출력채널을 공유한다.

<13> 도 3에서는 하나의 채널에 2개의 핀들이 연결되어 해당하는 채널을 공유하도록 하였으나, 도 4에서는 하나의 채널에 4개의 핀들이 공통으로 연결된 배치를 갖는다. 즉, 테스트드라이버의 구동채널(2)에는 IC1의 어드레스 A0 핀, IC2의 UB핀, IC3의 RAS핀 및

IC4의 어드레스 A12 핀이 공통으로 연결된다. 한편, 테스트드라이버의 입출력채널(3)에는 IC1~IC4의 각 입출력핀들 중 하나씩(DQ0) 공통으로 연결된다.

<14> 테스트드라이버의 구동채널(2) 또는 입출력채널(3)에 공통으로 연결되어 공유되는 핀들의 수는 적어도 2개 이상이 가능하며, 도 4에 보인 경우보다 더 많은 수의 핀들이 공유될 수 있다.

<15> 도 3 또는 도 4에 보인 바와 같이, 테스트드라이버의 한 채널에 반도체칩들의 복수개의 핀들이 공유연결(또는 병렬연결)된 상태에서 테스트를 진행함에 있어서는, 병렬연결에 따른 상호간섭을 피하기 위하여 테스트대상이 되는 반도체칩에 대해서만 테스트용 신호들이 유효하게 송수신되도록 하고 현재 테스트대상이 아닌 반도체칩은 고임피이던스(high-Z)상태를 유지하도록 한다. 예를 들면, 도 3에서 IC1에 대한 테스트가 진행되고 있는 동안에는 IC2의 UB핀 및 입출력핀(DQ0)은 고임피이던스상태를 유지한다. 공유연결된 핀들에 대하여 선택적으로 신호유효상태를 설정하는 것은 소프트웨어를 이용하여 테스트보드에서 선택적으로 스위칭함으로써 가능하다.

<16> 상술한 실시예에서 보인 본 발명의 수단과 방법에 준하여 본 발명의 기술분야에서 통상의 지식을 가진 자는 본 발명의 범위내에서 본 발명의 변형 및 응용이 가능하다.

【발명의 효과】

<17> 상술한 본 발명의 실시예에 의하면, 동시에 테스트가능한 반도체칩의 수를 증가시킴으로써 생산성을 증가시킨다. 또한, 멀티칩패키지에 대한 테스트 효율성을 향상시키는 이점이 있다.

【특허청구범위】

【청구항 1】

다수개의 반도체칩들이 실장된 패키지를 테스트하기 위한 장치에 있어서:

적어도 하나의 구동채널과 적어도 하나의 입출력채널을 가진 테스트 드라이버; 그리고

상기 패키지를 탑재하는 테스트보드를 구비하며;

상기 반도체칩들의 구동핀들이 상기 구동채널에 병렬로 연결되고 상기 반도체칩들의 입출력핀들이 상기 입출력채널에 병렬로 연결됨을 특징으로 하는 장치.

【청구항 2】

제1항에 있어서,

상기 반도체칩들 중 하나가 테스트되는 동안에는 다른 반도체칩들의 구동핀들 및 입출력핀들이 고임피이던스상태에 있음을 특징으로 하는 장치.

【청구항 3】

제2항에 있어서,

상기 반도체칩들이 순차적으로 테스트됨을 특징으로 하는 장치.

【청구항 4】

제1항에 있어서,

상기 구동핀들이 상기 반도체칩들의 동작에 사용되는 제어신호들 또는 어드레신호들을 위한 핀들을 포함함을 특징으로 하는 장치.

【청구항 5】

다수개의 반도체칩들이 실장된 패키지를 테스트하기 위한 방법에 있어서:

테스트드라이버의 구동채널에 상기 반도체칩들에 속하는 다수개의 구동핀들을 병렬로 연결하고;

상기 테스트드라이버의 입출력채널에 상기 반도체칩들에 속하는 다수개의 입출력핀들을 병렬로 연결하고;

상기 반도체칩들 중 하나가 테스트되는 동안에 다른 반도체칩들의 구동핀들 및 입출력핀들을 고임피이던스상태로 함을 특징으로 하는 방법.

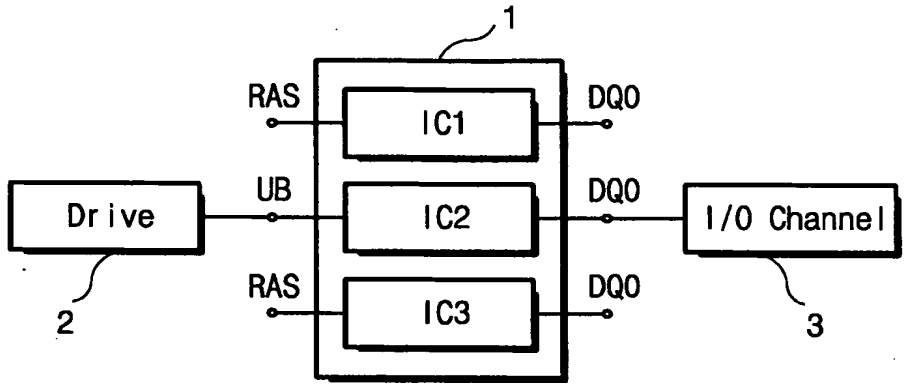
【청구항 6】

제5항에 있어서,

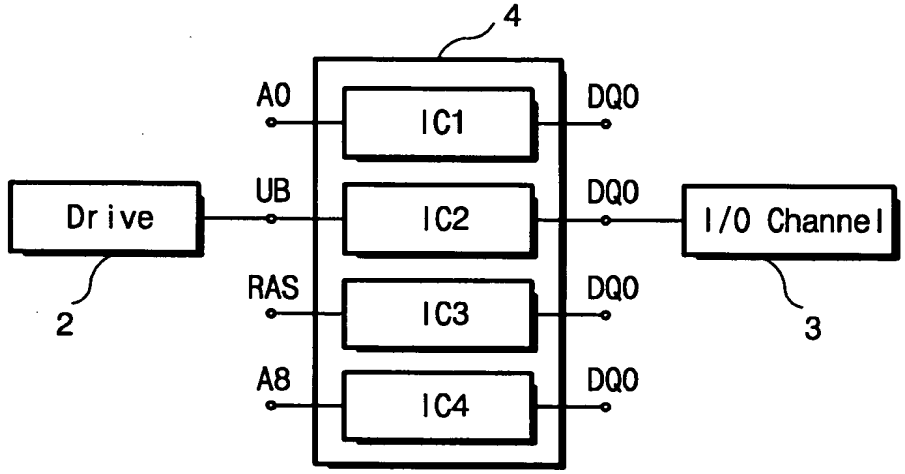
상기 구동핀들이 상기 반도체칩들의 동작에 사용되는 제어신호들 또는 어드레신호들을 위한 핀들을 포함함을 특징으로 하는 방법.

【도면】

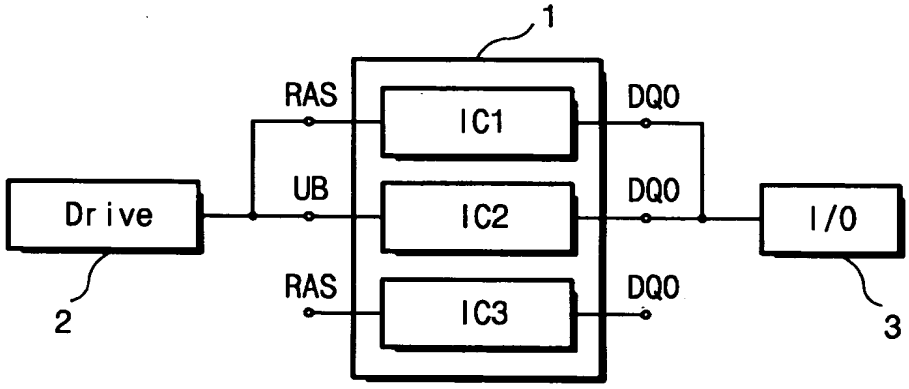
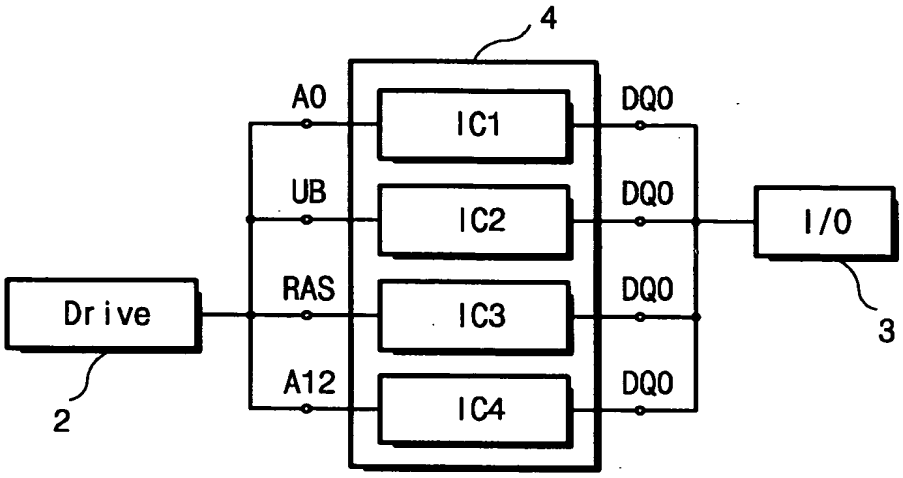
【도 1】


1
RAS
IC1
DQ0
Drive
UB
IC2
DQ0
I/O Channel
RAS
IC3
DQ0
2
3

【도 2】


4
A0
IC1
DQ0
Drive
UB
IC2
DQ0
I/O Channel
RAS
IC3
DQ0
A8
IC4
DQ0
2
3

【도 3】


1
RAS
IC1
DQ0
Drive
UB
IC2
DQ0
I/O
RAS
IC3
DQ0
2
3

【도 4】